JSST Journal of Space Science and Technology

Vol. 16 / Issue 2 / 2023 / (No. 56)
Print ISSN: 2008-4560 / Online ISSN: 2423-4516
https://doi.org/10.30699/jsst.2023.1423

OPEN ACCESS

Pages: 43-54 / Research Paper / Received: 06 November 2022 / Revised: 03 March 2023 / Accepted: 05 March 2023

Journal Homepage: https://jsst.ias.ir

Determinaion of the Sensitive Volume and Critical Charge for Induction of SEU in Nanometer SRAMs

Gholamreza Raisali[1], Masume Soleimaninia[2]* and Amir Moslehi[3]

1. Professor, Nuclear Sciences and Technology Research Institute, Atomic Energy Organization of Iran, Tehran, Iran
2. Ph.D., Nuclear Sciences and Technology Research Institute, Atomic Energy Organization of Iran, Tehran, Iran
3. Assistant Professor, Nuclear Sciences and Technology Research Institute, Atomic Energy Organization of Iran, Tehran, Iran

*Corresponding Author's E-mail: msoleimaninia@aeoi.org.ir

Abstract

In this paper, the sensitive volume and critical charge ($Q_{critical}$) of a 65-nm CMOS SRAM in induction of Single-Event-Upset (SEU) have been determined. To this purpose, a memory cell consisting of NMOS and PMOS was simulated using Silvaco TCAD tool and variations in output voltages were studied after striking incident beam with different values of LET. The $Q_{critical}$ was calculated by integrating the output current when the output voltages were inverted. To determine the sensitive volume, the minimum amount of LET in which the output logic state of the memory cell flips, was considered as a criterion of sensitivity. The results showed that the value of 0.054 μm^3 for sensitive volume and 1.48 fC for $Q_{critical}$ which are in good agreement with other references.

Keywords: Sensitive Volume, Critical Charge, nanometer SRAM, Linear Energy Transfer (LET), Single Event Upset (SEU), Silvaco TCAD

Introduction

Nowadays, microelectronic devices are widely used in environments with high levels of ionizing radiation such as space. Rapid downscaling of these devices into sub-micron technologies, made them become more sensitive to radiation. When the electronic devices are exposed to radiation, they may lose their correct operation.

Single Event Upset (SEU) as the most common event in new nanometer technologies refers to the phenomenon in which a single particle causes abrupt changes in the logic state of some microelectronic devices such as memory. Sensitive volume and critical charge ($Q_{critical}$) are two key quantities which are required for SEU cross-section calculations. A widely used microelectronic device that is prone to SEU is SRAMs. The most common type of SRAMs used in commercial applications is consisting of 6 MOSFETs (3 NMOS & 3 PMOS) which is studied in this work.

Methodology

In this paper, to determine the sensitive volume and critical charge, one of the SRAM cells is simulated using Mixed-Mode and Victory modules of Silvaco TCAD tool. In this approach, the struck transistor is modeled in 3D and the others are modeled using SPICE. In this work, a 3D model was proposed based on 65-nm technology for struck NMOS transistor [1]. To ensure the accuracy of the model, the characteristic curve of I_d-V_g extracted. When an incident particle passes through a semiconductor material, electron-hole pairs release along its path. The mean amount of energy loss per unit distance by the impinging particle is called LET. To determine the sensitive volume, the incident particle beam has been struck in different regions of NMOS and PMOS and the variations in output voltages have been considered. The minimum LET in which the output voltages flip, has been considered as a criterion for sensitivity. In order to determine the critical charge, the incident particle beam with different values of LET was irradiated to the NMOS as the most sensitive transistor and the output voltage variations were considered. The results have been discussed in the next section.

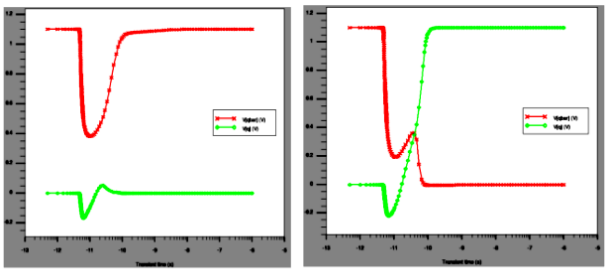
Results and Discussion

Figure 1, illustrates the output voltages of the cell. As can be observed, there is a minimum LET in which the logic state of

COPYRIGHTS
© 2023 by the authors. Published by Aerospace Research Institute. This article is an open access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0).

How to cite this article:
G.R. Raisali, M. Soleimaninia and A. Moslehi, "Determination of the Sensitive Volume and Critical Charge for Induction of SEU in Nanometer SRAMS," *Journal of Space Science and Technology*, Vol. 16, No. 2, pp. 43-54, 2023 (in Persian), https://doi.org/10.30699/jsst.2023.1423.

the output changes. Figures 2, 3, 4 show minimum LET triggering SEU for incident beam in different positions in NMOS and PMOS. It clearly shows that there are regions in which flipping the output voltages require lower LET. These regions are more sensitive than the others. Calculations show the 0.054 μm^3 for SRAM sensitive volume.



(a) (b)

Figure 1. Variations in output voltages in V_{DD}=1.1 V for (a) LET=1 MeV.cm^2/mg, (b) LET=1.2 MeV.cm^2/mg.

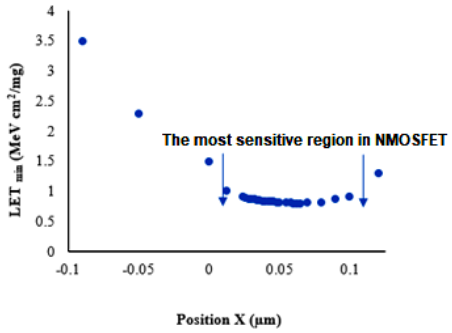


Figure 2. The most sensitive region along X-axis in NMOS.

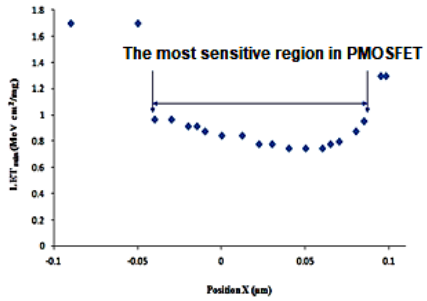


Figure 3. The most sensitive region along X-axis in PMOS.

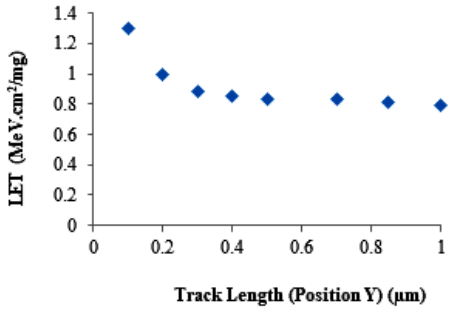


Figure 4. Sensitivity for different track lengths of incident particle along Y-axis in NMOS & PMOS.

The output current (I_d) has been shown in Figure 5. The critical charge is calculated by integrating the output current over the time interval that the logic state of output voltage changes. According to Figure 5, critical charge is the specified area under the curve. Calculation of the specified area under the curve resulted in 1.48 fC for critical charge. The most sensitive volume of the similar SRAM in the work of Bing et al. [2] has been obtained to be 0.05 μm^3. Also, they reported 1.35 fC for the critical charge. Clearly, there is a reasonable agreement between our simulations using Silvaco and their experiment research.

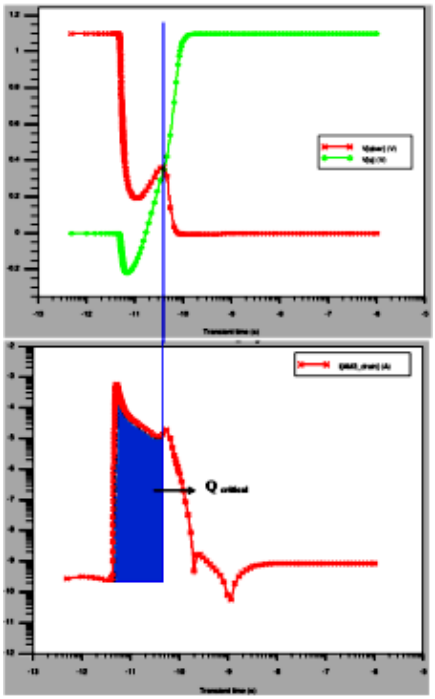


Figure 5. calculation of critical charge when the logic state of output inverted.

Conclusion

SEUs are the major threat to system reliability in today's nanometer technologies. In this paper, using Silvaco TCAD tool, a simulation work has been conducted to define the sensitive volume and critical charge in a 65-nm CMOS SRAM. Our simulation results are consistent with those obtained with the experiments reported in other studies.

References

[1]Semiconductor Industry Association (SIA), "International technology roadmap for semiconductors," [Online] http://www.itrs.net, 2012.

[2] Ye. Bing, J. Liu, T.S. Wang, T.Q. Liu, J. Luo, B. Wang, Y.N. Yin, "Impact of energy straggle on proton-induced single event upset test in a 65-nm SRAM cell." Chinese Physics B 26, no. 8: 088501, 2017.

JSST
علوم و فناوری فضایی
دوره ۱۶ / شماره ۲ / ۱۴۰۲ / (پیاپی ۵۶)
شاپای چاپی: ۴۵۶۰- ۲۰۰۸ / شاپای الکترونیکی: ۴۵۱۶-۲۴۲۳
https://doi.org/10.30699/jsst.2023.1423
ص. ص. ۵۴-۴۳ / مقاله علمی- پژوهشی / دریافت: ۱۴۰۱/۰۸/۱۵ / بازنگری: ۱۴۰۱/۱۲/۱۲ / پذیرش: ۱۴۰۱/۱۲/۱۴
Journal Homepage: https://jsst.ias.ir

تعیین حجم حساس و بار بحرانی برای وقوع رخداد SEU در حافظه‌های نانومتری SRAM

غلامرضا رئیس‌علی[۱]، معصومه سلیمانی‌نیا[۲]* و امیر مصلحی[۳]

پژوهشگاه علوم و فنون هسته‌ایی، سازمان انرژی اتمی ایران، تهران، ایران

*ایمیل نویسنده مخاطب: msoleimaninia@aeoi.org.ir

چکیده

در این پژوهش، حجم حساس و بار بحرانی یک حافظه SRAM با فناوری ۶۵ نانومتری CMOS، به‌عنوان دو کمیت مهم در محاسبات ترابرد پرتو در رخداد به‌هم‌ریختگی تک‌حادثه‌ای (SEU) که رایج‌ترین رخداد از منظر آسیب پرتویی و تشعشعات فضایی محسوب می‌شود، تعیین شد. بدین‌منظور، ابتدا یک سلول حافظه متشکل از ترانزیستورهای NMOS و PMOS با استفاده از نرم‌افزار Silvaco TCAD شبیه‌سازی شد. برای تعیین دو کمیت مذکور، پرتو با مقادیر مختلف از انتقال خطی انرژی (LET) به نواحی گوناگون ترانزیستورها تابانده شد و ولتاژ خروجی مورد بررسی قرار گرفت. بار بحرانی به عنوان کمترین بار لازم برای تغییر وضعیت منطقی سلول، با انتگرال‌گیری از جریان درین در لحظه تغییر وضعیت ولتاژ خروجی حاصل شد. برای تعیین حجم حساس نیز کمینه LET که در هر نقطه منجر به تغییر در وضعیت منطقی خروجی‌ها می‌شود، معیاری از حساسیت در نظر گرفته شد. نتایج ضمن تطابق با مراجع، مقادیر حجم حساس و بار بحرانی را به ترتیب μm^3 ۰/۰۵۴ و ۱/۴۸ fC نشان دادند.

واژه‌های کلیدی: حجم حساس، بار بحرانی، حافظه نانومتری SRAM، انتقال خطی انرژی، SEU، Silvaco TCAD

اختصارات

اثرات تک‌حادثه‌ای	Single Event Effect (SEE)	نقشه راه فناوری بین‌المللی برای نیمه‌هادی‌ها	International Technology Roadmaps for Semiconductors (ITRS)
به‌هم‌ریختگی‌های تک‌حادثه‌ای	Single Event Upset (SEU)	رخداد تک‌حادثه‌ای سوختن گیت MOSFET	Single Event Burnout (SEB)
دز یونیزان کل	Total Ionizing Dose (TID)	ترانزیستور دوقطبی با گیت عایق شده	Insulated Gate Bipolar Transistor (IGBT)
آسیب جابه‌جایی	Displacement Damage (DD)	رخداد تک‌حادثه‌ای از هم‌گسیختگی گیت	Single Event Gate Rupture (SEGR)
انتقال خطی انرژی	Linear Energy Transfer (LET)	ترانزیستور گالیم- نیترید	Gallium-Nitride (GaN) Transistor
بار بحرانی	Critical Charge ($Q_{critical}$)	طراحی فناوری به کمک رایانه	Technology-Computer-Aided-Design (TCAD)

۱. استاد
۲. دکتری تخصصی
۳. استادیار

COPYRIGHTS
© 2023 by the authors. Published by Aerospace Research Institute. This article is an open access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0).

مقدمه

امروزه، توسعه صنعت میکروالکترونیک نقش مهمی در صنعتی شدن کشورها ایفا می‌کند. با به‌کارگیری فناوری‌های زیرمیکرونی کنونی، ابعاد مدارهای مجتمع کاهش یافته و توان و سرعت سیستم به‌طور چشمگیری افزایش می‌یابد. اما کاهش ابعاد قطعات، پیامد افزایش حساسیت آن‌ها در برابر پرتوها را به دنبال دارد [۱]. از قطعات میکروالکترونیک، به‌وفور در صنعت هوافضا استفاده می‌شود. متأسفانه محدودیت‌هایی پیرامون عملکرد و طول عمر ماهواره‌ها و سفینه‌های فضایی وجود دارد که عمدتاً مربوط به اثرات پرتو بر قطعات میکروالکترونیک به کار گرفته شده درون آن‌هاست.

به‌طور کلی، قرارگیری قطعات میکروالکترونیک در معرض انواع مختلف پرتو در کاربردهای فضایی می‌تواند موجب آسیب و بروز اختلال در عملکرد آن‌ها شود. اثرات تک‌حادثه‌ای، از مهم‌ترین اثرات پرتو بر قطعات الکترونیک با فناوری‌های کنونی هستند که دسته‌بندی‌های متعددی دارند و رایج‌ترین آن‌ها رخداد به‌هم‌ریختگی‌های تک‌حادثه‌ای (SEU) می‌باشند [۲]. این رخداد که حافظه‌های الکترونیکی و لچ‌ها را متأثر می‌سازد، زمانی روی می‌دهد که وضعیت منطقی یک سلول در نتیجه بارهای ایجاد شده از پرتو فرودی تغییر کند.

حافظه‌های SRAM، از جمله حساس‌ترین قطعات الکترونیک در برابر پرتو محسوب می‌شوند. از آنجاکه این حافظه‌ها مساحت نسبتاً بزرگی از سطح تراشه را در ریزپردازنده‌های کنونی اشغال کرده و بار بحرانی در آن‌ها نسبتاً اندک است، گزینه مناسبی جهت تحقیق پیرامون رخداد به‌هم‌ریختگی تک‌حادثه‌ای محسوب می‌شوند [۳].

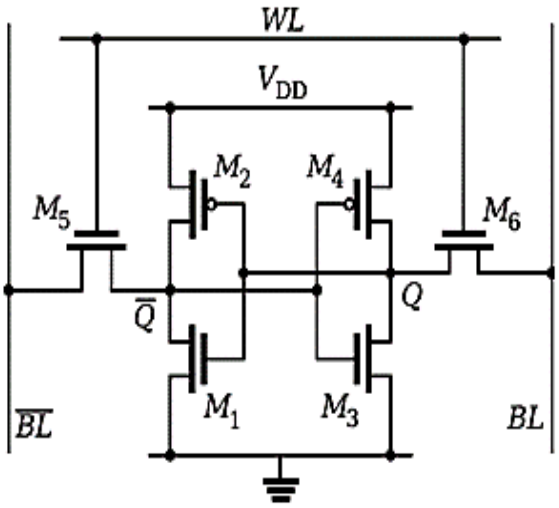
دو کمیت کلیدی در تبیین رخداد به‌هم‌ریختگی تک‌حادثه‌ای، بار بحرانی و حجم حساس است [۴]. حجم حساس قطعه، حجمی است که کلیه بارهای برجا گذاشته شده توسط ذرات اولیه و ثانویه مؤثر بر رخداد را شامل می‌شود. بار بحرانی نیز کمترین مقدار بار ایجاد شده درون حجم حساس برای وقوع یک رخداد است. کاهش ابعاد در فناوری‌های جدید، به کاهش بار بحرانی مورد نیاز برای ایجاد به‌هم‌ریختگی در قطعات میکروالکترونیک منجر شده و آن‌ها را نسبت به‌رخداد SEU آسیب‌پذیرتر ساخته است [۵]. به‌این‌جهت، در بیشتر کشورهای دنیا پیش از به‌کارگیری قطعات الکترونیک در مأموریت‌های فضایی، از آزمون‌های تجربی جهت تخمین حساسیت آن‌ها در برابر رخداد SEU استفاده می‌شود. در کشور ما، به‌دلیل نبود زیرساخت‌های لازم جهت انجام آزمون‌های تجربی SEU، تنها گزینه ممکن، محاسبات و شبیه‌سازی است. اهمیت روزافزون تحقیقات پیرامون این حوزه در دنیا طی سال‌های اخیر و وجود خلأ در فعالیت‌های انجام گرفته در این زمینه در کشور، سبب شد تا در این پژوهش به‌بررسی چگونگی محاسبه دو کمیت اصلی گفته شده در تعیین این دسته از رخدادها (حجم حساس و بار بحرانی) پرداخته شود.

شایان ذکر است که به‌دلیل پیچیدگی محاسبات و عدم دسترسی به‌اطلاعات اولیه لازم برای شبیه‌سازی، تعیین حجم حساس و بار بحرانی عمدتاً با استفاده از روش‌های تجربی صورت می‌گیرد. از جمله پژوهش‌های معدود در زمینه تعیین حجم حساس به‌کمک شبیه‌سازی، تحقیقاتی است که توسط Zerarka انجام شده است. در سال‌های ۲۰۱۱، ۲۰۱۴ و ۲۰۱۷، Zerarka و همکارانش با استفاده از نرم‌افزار Sentarus TCAD به‌محاسبه حجم حساس در رخدادهای SEB و SEGR در ترانزیستورهای IGBT و GaN پرداختند [۸-۶]. در مورد محاسبه بار بحرانی انجمن الکترونیک فضایی، استفاده از نرم‌افزارهای TCAD را برای توصیف دقیق‌تر در تخمین میزان به‌هم‌ریختگی‌های تک‌حادثه‌ای پیشنهاد داده است [۹]. با این وجود، برخی محققان با برشمردن فرضیاتی، از نرم‌افزارهایی همچون SPICE برای تخمین بار بحرانی بهره جسته‌اند [۱۰و۱۱]. نتایج پژوهش Naseer و همکارانَ نشان می‌دهد که مقادیر بار بحرانی محاسبه‌شده به‌کمک شبیه‌سازی‌های سه بعدی، ممکن است تا ۳ برابر کمتر از مقادیر به‌دست آمده به‌کمک سایر شبیه‌سازها به‌دست آید [۹]. با توجه به‌اینکه این کمیت، مبنای پیش‌بینی و تخمین SEU است، میزان به‌هم‌ریختگی‌ها به‌کمک شبیه‌سازهای غیر سه‌بعدی، به‌نحو قابل ملاحظه‌ای کمتر از مقدار واقعی پیش‌بینی می‌شود.

با توجه‌به تنوع فناوری‌های مختلف قطعات نیمه‌هادی، حوزه‌های تحقیقاتی زیادی در این زمینه وجود دارد. در این پژوهش، برای نخستین بار، تحلیل جامعی از محاسبه حجم حساس و بار بحرانی به‌عنوان دو کمیت اصلی در تعیین رخداد به‌هم‌ریختگی تک‌حادثه‌ای (SEU) در فناوری ۶۵ نانومتری انجام گرفته است. جامعیت محاسبات انجام شده، ازآن‌جهت است که تعیین دو کمیت مذکور بر مبنای مدل کالیبره شده ترانزیستورهای NMOS و PMOS با توجه به فناوری مذکور بوده است. در این پژوهش، کلیه فرایندهای شبیه‌سازی با استفاده از نرم‌افزار Silvaco TCAD انجام شده است تا توانمندی آن جهت انجام اینگونه محاسبات، سنجیده شود. پژوهش‌هایی که به‌آن‌ها اشاره شد، عمدتاً با استفاده از نرم‌افزار Sentaurus TCAD انجام شده‌اند.

با توجه‌به توضیحات فوق، در این پژوهش به منظور تعیین دو کمیت حجم حساس و بار بحرانی، به‌شبیه‌سازی فرایند ساخت و عملکرد اجزای سازنده یک سلول از حافظه SRAM با فناوری ۶۵ نانومتر با استفاده از نرم‌افزار Silvaco TACD پرداخته شد و مدلی

سه بعدی پس از در نظر گرفتن حالت‌ها و شرایط مختلف برای اجزای سازنده آن پیشنهاد گردید. سپس، بر مبنای مدل به دست آمده کمیت‌های بار بحرانی و حجم حساس محاسبه و با مقادیر گزارش شده در مراجع مقایسه شدند. طرحواره‌ای از یک سلول سازنده حافظه SRAM در شکل (۱) نشان داده شده است.



شکل ۱- طرحواره‌ای از یک سلول سازنده حافظه SRAM.

نرم‌افزار Silvaco ابزار سریع و دقیقی برای انواع شبیه‌سازی‌ها در فناوری‌های جدید قطعات نیمه‌هادی به‌شمار می‌رود. این نرم‌افزار با توجه به‌اطلاعات ساختار قطعه و مدل‌های فیزیکی، معادلات دیفرانسیل پایه مانند پواسون، پیوستگی و ترابرد را بر پایه روش المان محدود درون قطعه نیمه‌هادی حل می‌کند [۱۲]. این نرم‌افزار، متشکل از شبیه‌سازهای متعدد است که از میان آن‌ها، شبیه‌ساز Victory ابزار قدرتمندی برای شبیه‌سازی‌های سه بعدی در حوزه فناوری‌های پیشرفته کنونی محسوب می‌شود. این شبیه‌ساز، با بهره‌گیری از دو ماژول Victory Process و Victory device امکانات جامعی را برای شبیه‌سازی قطعات الکترونیک در اختیار کاربر قرار می‌دهد.

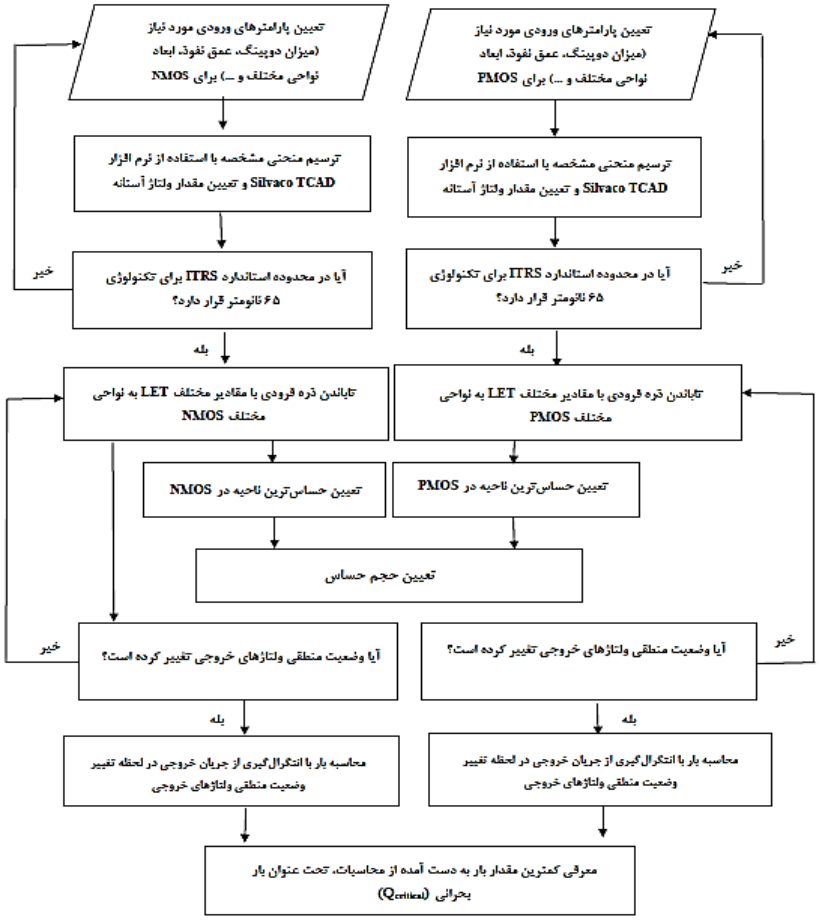
روش کار

چنانچه اشاره شد، به‌منظور تعیین بار بحرانی و حجم حساس در گام نخست، یک سلول حافظه SRAM با استفاده از نرم‌افزار Silvaco TACD شبیه‌سازی شد و پس از در نظر گرفتن حالت‌ها و شرایط مختلف، مدلی سه بعدی برای ترانزیستورهای NMOS و PMOS سازنده آن پیشنهاد گردید. جهت اطمینان از صحت مدل به‌دست آمده، منحنی‌های مشخصه I_d-V_g و I_d-V_d قطعه استخراج و با منحنی‌های موجود در مراجع انطباق داده شدند که به‌این فرایند کالیبراسیون گفته می‌شود. معیار کالیبراسیون، کمترین مقدار خطا نسبت به داده‌های مرجع با روش جذر میانگین مربعات در نظر گرفته شد. برای دستیابی به‌مدل سه بعدی قطعه، مجهولات زیادی پیرامون ابعاد و میزان دوپینگ نواحی سازنده وجود دارد [۱۳]. فلوچارت کار انجام شده در این پژوهش، در شکل ۲ نشان داده شده است.

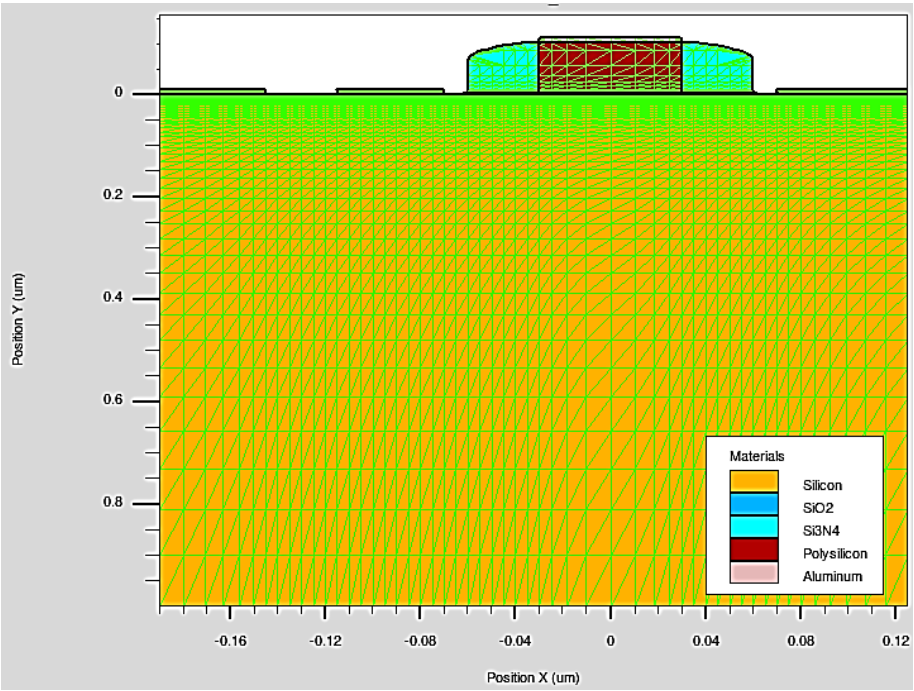
در این پژوهش، شبیه‌سازی فرایند ساخت ترانزیستور NMOS با در نظر گرفتن زیرلایه‌ای با ابعاد $۰/۳۲۵\times۰/۲\times۱\ \mu m^3$ از جنس سیلیکون با آلاینده بور آغاز شد و در دو راستای محور آن مش‌بندی به‌صورت غیریکنواخت انجام گرفت. سپس، لایه‌ای از جنس دی‌اکسید سیلیکون بر روی زیرلایه سیلیکونی نشانده شد و پس از آن، پلی‌سیلیکون به‌عنوان ماده سازنده گیت بر روی لایه اکسید لایه‌نشانی شد. در گام بعد، به منظور ایجاد نواحی سورس و درین در دو سمت گیت ماده پلی‌سیلیکون خورده شد و در آن‌ها یون‌های آرسنیک به عنوان ناخالصی دهنده کاشته شدند. به منظور جلوگیری از اتصال الکتریکی گیت با سورس و درین، نیترید سیلیکون لایه‌نشانی شد [۱۴]. برای الکترودهای سورس و گیت و درین نیز آلومینیوم در نواحی مربوطه قرار گرفت. شایان ذکر است کلیه فرایندهای گفته شده با تغییر پارامترهای مختلف در شبیه‌سازی‌ها انجام شد که برخی از مهم‌ترین آن‌ها در جدول (۱) آورده شده است. طرح نهایی ترانزیستور ۶۵ نانومتر NMOS با استفاده از شبیه‌ساز Victory به‌همراه مش‌بندی نواحی مختلف در شکل (۳) نشان داده شده است.

جدول ۱- پارامترهای مهم در شبیه‌سازی NMOS

پارامتر	مقدار
طول گیت	۶۵ nm
ضخامت اکسید گیت	۱/۸ nm
انرژی یون آرسنیک کاشته شده در ناحیه سورس- درین	۵ keV
مقدار یون آرسنیک کاشته شده در ناحیه سورس- درین	$۴/۵\times۱۰^{۱۳}\ atom/cm^2$
مقدار دوپینگ زیرلایه	$۱/۳\times۱۰^{۱۴}\ atom/cm^2$



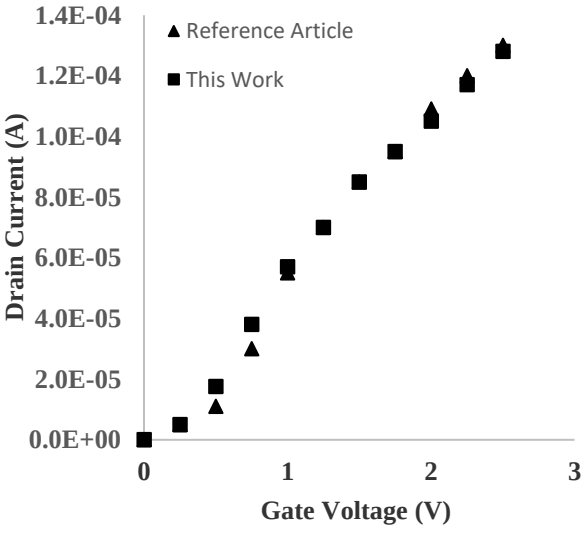
شکل ۲- فلوچارت کار انجام شده در این پژوهش.



شکل ۳- الگویی از مش‌بندی نواحی مختلف در ساختار NMOS طراحی شده با فناوری ۶۵ نانومتری.

شکل (۴)، مقایسه‌ای از داده‌های به‌دست آمده در این پژوهش برای منحنی مشخصه I_d-V_g ترانزیستور NMOS طراحی شده با نتایج به‌دست آمده از پژوهش Kumar و همکارانش در مرجع [۱۴] را نشان می‌دهد که در آن، بایاس درین مقدار ثابت ۰/۱ V و بایاس گیت از ۰ تا ۲/۵ V متغیر است.

بررسی مقالات موجود نشان می‌دهد، مهم‌ترین پارامتر خروجی در کالیبراسیون قطعه، ولتاژ آستانه است [۱۴]. مطابق با الگوی ارائه شده توسط نقشه راه ITRS، ولتاژ آستانه برای فناوری ۶۵ نانومتر باید در محدوده ۰/۱۷۶ V تا ۰/۲۲۵ V باشد [۱۵]. در این پژوهش، ولتاژ آستانه ۰/۱۸۳ V به‌دست آمد که در محدوده مذکور واقع است.



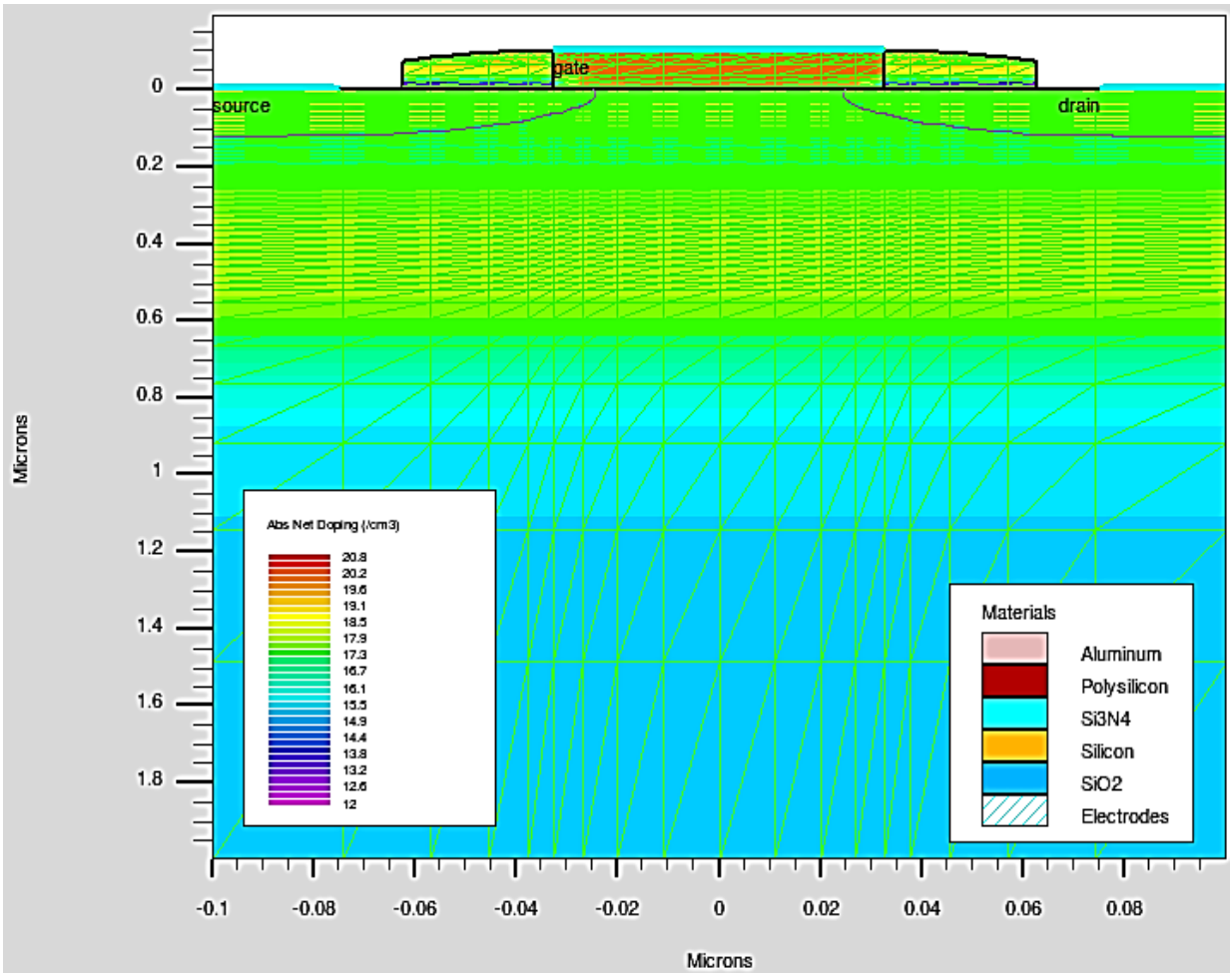
شکل ۴- مقایسه منحنی مشخصه Id-Vg به‌دست آمده از این پژوهش با داده‌های استخراج شده از مرجع [۱۴].

پس از گام فوق، به‌کالیبراسیون PMOS با فناوری ۶۵ نانومتر به‌کمک شبیه‌ساز Victory پرداخته شد. در این بخش نیز شبیه‌سازی با در نظر گرفتن زیرلایه سیلیکونی با ابعاد μm^3 ۰/۲×۰/۲×۱ و با آلاینده فسفر به عنوان ناخالصی آغاز شد و در راستای محورها مش‌بندی‌هایی به‌صورت غیریکنواخت انجام گرفت. سپس، دی‌اکسید سیلیکون بر روی زیرلایه سیلیکونی لایه‌نشانی و پلی‌سیلیکون به عنوان ماده سازنده گیت بر روی آن نشانیده شد. پس از آن، به‌منظور ایجاد نواحی سورس و درین در دو سمت گیت ماده پلی‌سیلیکون خورده شد و در آن ناحیه یون‌های بور به عنوان ناخالصی پذیرنده کاشته شدند. طراحی PMOS نیز با تغییر پارامترهای متعددی انجام شد که برخی از مهم‌ترین آن‌ها در جدول (۲) آورده شده است. ساختار نهایی ترانزیستور PMOS با فناوری ۶۵ نانومتر به‌همراه مش‌بندی در نواحی مختلف در شکل (۵) نشان داده شده است. مقایسه دو منحنی به‌دست آمده از کالیبراسیون PMOS در این پژوهش و تحقیق Kumar و همکارانش در مرجع [۱۶] در شکل ۶ نشان داده شده است. این منحنی به‌ازای طول گیت ۶۵ نانومتر و ضخامت اکسید گیت ۲/۳ نانومتر به‌دست آمد که در آن بایاس گیت از ۰ V تا ۲ V- متغیر است. با توجه‌به منحنی شکل ۶ برای مدل به‌دست آمده کنونی، ولتاژ آستانه برابر با ۰/۲۱ V- به‌دست آمد که در محدوده استاندارد ITRS قرار دارد [۱۵].

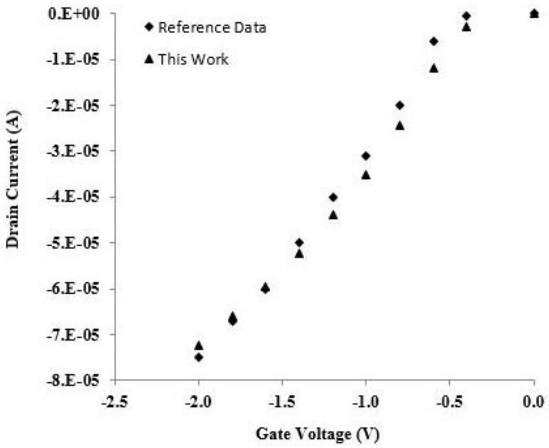
جدول ۲- پارامترهای مهم در شبیه‌سازی PMOS

پارامتر	مقدار
طول گیت	۶۵ nm
ضخامت اکسید گیت	۲/۳ nm
انرژی یون بور کاشته شده در ناحیه سورس- درین	۵ keV
مقدار یون بور کاشته شده در ناحیه سورس- درین	$۱/۸ \times ۱۰^{۱۴}$ atom/cm^2
مقدار دوپینگ زیرلایه	۲×۱۰^{۱۵} atom/cm^2

چنانچه اشاره شد، دو مفهوم اساسی در تبیین رخداد به‌هم‌ریختگی تک حادثه‌ای، بار بحرانی و حجم حساس است. تحقیقات نشان داده که حساس‌ترین ترانزیستورها در برابر پرتو ترانزیستورهای خاموش هستند [۱۷]. از آنجا که هر سلول SRAM متشکل از دو معکوس‌کننده است، در هر سلول دو ناحیه حساس به پرتو وجود دارد که یکی مربوط به NMOS و دیگری مربوط به PMOS خاموش می‌باشد. هدف از محاسبات پیش‌رو، تعیین حجمی از سلول SRAM (موسوم به حجم حساس) است که در نتیجه برخورد پرتو به‌آن حالت منطقی در ولتاژ خروجی تغییر می‌یابد. برای تعیین حجم حساس در حافظه SRAM با فناوری ۶۵ نانومتری CMOS، یک سلول از آن با استفاده از شبیه‌سازهای Mixed-Mode و Victory نرم‌افزار Silvaco شبیه‌سازی شد. در رهیافت به‌کار گرفته شده که به‌طور شماتیک در شکل (۷) نشان داده شده است، ابتدا با استفاده از شبیه‌ساز Victory مدل سه بعدی برای ترانزیستوری که پرتو به‌آن برخورد کرده در نظر گرفته شد و به‌منظور کاهش زمان اجرای شبیه‌سازی‌ها، سایر اجزا به‌کمک شبیه‌ساز Mixed-Mode به‌صورت المان‌های مداری شبیه‌سازی شدند [۱۸].

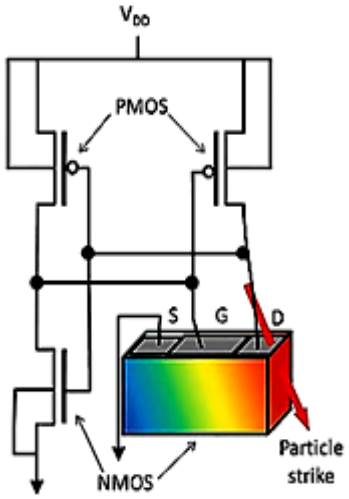


شکل ۵- الگویی از مش‌بندی نواحی مختلف در ساختار PMOS طراحی شده با فناوری ۶۵ نانومتری

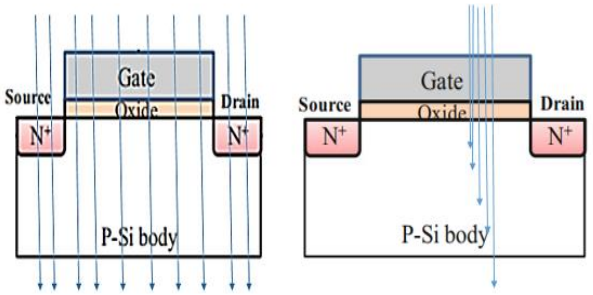


شکل ۶- مقایسه منحنی مشخصه Id-Vg ترانزیستور PMOS طراحی شده در این پژوهش با داده‌های استخراج شده از مرجع [۱۶]

وقتی پرتو به قطعه نیمه‌هادی برخورد می‌کند، بخشی از انرژی خود را طی مکانیزم‌های یونش و یا برانگیزش اتم‌ها از دست داده و مقدار زیادی الکترون- حفره در امتداد طول مسیر خود ایجاد می‌کنند. مقدار میانگین انرژی از دست داده شده ذره بر واحد طول مسیر با مفهوم انتقال انرژی خطی بیان شده و از آن تحت عنوان LET یاد می‌شود [۱۹]. این کمیت معمولاً به چگالی ماده هدف بهنجار شده و بر حسب $MeV.cm^2/mg$ بیان می‌شود. این کمیت در نرم‌افزار Silvaco TCAD نیز بر حسب $MeV.cm^2/mg$ و با عبارت دستوری LET بیان شده است. در سیلیکون که ماده غالب مورد استفاده در ادوات نیمه‌هادی است، تقریباً ۳/۶ eV انرژی صرف ایجاد یک جفت الکترون- حفره می‌شود [۱۹]. به‌منظور تعیین حجم حساس به‌هنگام وقوع رخداد به‌هم‌ریختگی تک‌حادثه‌ای، پرتو فرودی با مقادیر متفاوتی از LET همانند شکل (۸)، به‌نواحی مختلف ترانزیستورهای NMOS و PMOS تابانده شد و هر بار تغییرات ولتاژ در دو نقطه Q و $\overline{Q}$ (خروجی معکوس‌کننده‌ها در شکل (۱) مورد بررسی قرار گرفت که نتایج آن‌ها در شکل (۹) نشان داده شده است.

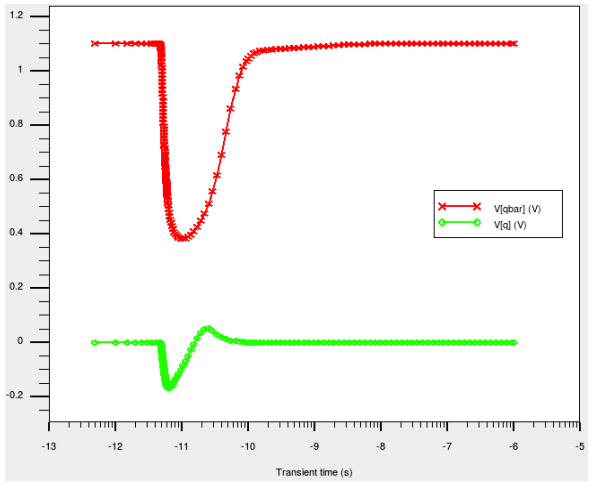


شکل ۷- شماتیکی از رهیافت به‌کار گرفته شده در شبیه‌سازی سلول حافظه با استفاده از شبیه‌سازهای Mixed-Mode و Victory [۱۸].

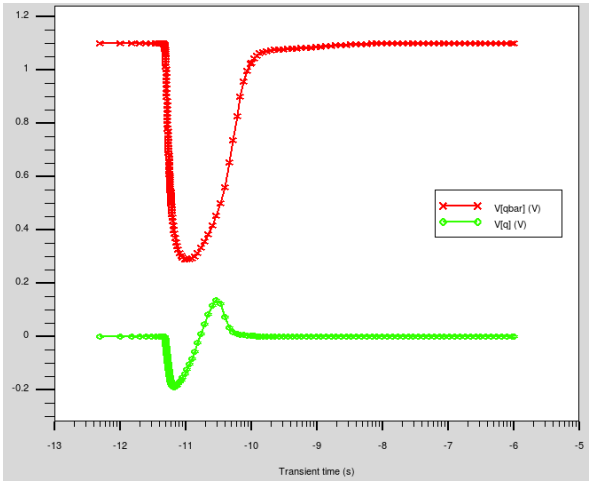


شکل ۸- برخورد پرتو فرودی به‌نقاط مختلف ترانزیستورهای NMOS و PMOS جهت یافتن حساس‌ترین نواحی به پرتو.

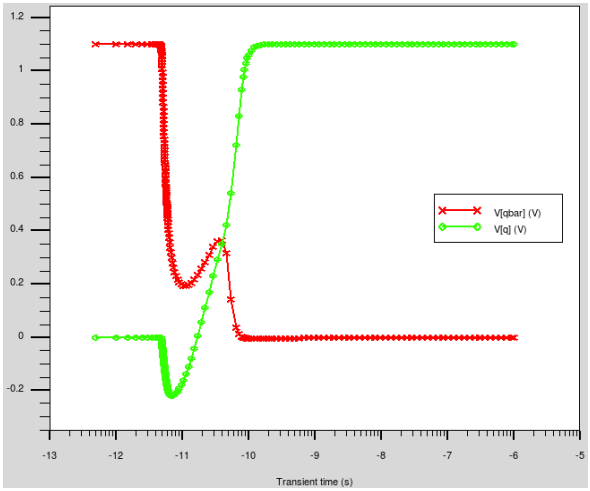
شکل ۹، خروجی معکوس‌کننده‌ها را به‌ازای سه مقدار LET هنگام برخورد پرتو به‌یک نقطه از درین ترانزیستور در ولتاژ V_{ds}=1.1 V نشان می‌دهد. منحنی‌های قرمز و سبز رنگ، ولتاژهای خروجی در دو نقطه **Q** و $\overline{\mathbf{Q}}$ هستند که چگونگی تغییر آن‌ها در نتیجه برخورد پرتو فرودی به‌ازای مقادیر مختلف LET نشان داده شده است. مشاهده می‌شود به ازای برخورد پرتو با LET=1.2 MeV cm^2/mg وضعیت منطقی خروجی‌ها دستخوش تغییر شده است. محاسبات مشابهی برای نقاط مختلف ترانزیستورهای NMOS و PMOS انجام شد. نتایج به‌دست آمده در نواحی مختلف بیانگر این واقعیت است که تغییر وضعیت منطقی خروجی‌ها به ازای مقادیر متفاوتی از LET روی می‌دهد. در این محاسبات، کمترین مقدار LET که در هر نقطه منجر به‌تغییر در وضعیت منطقی خروجی‌ها می‌شود به‌عنوان معیاری از حساسیت در نظر گرفته شده است. مقایسه‌ای از حساسیت نقاط مختلف به‌پرتو در ترانزیستورهای NMOS و PMOS به ترتیب در شکل‌های (۱۰) و (۱۱) نشان داده شده است.



(a)

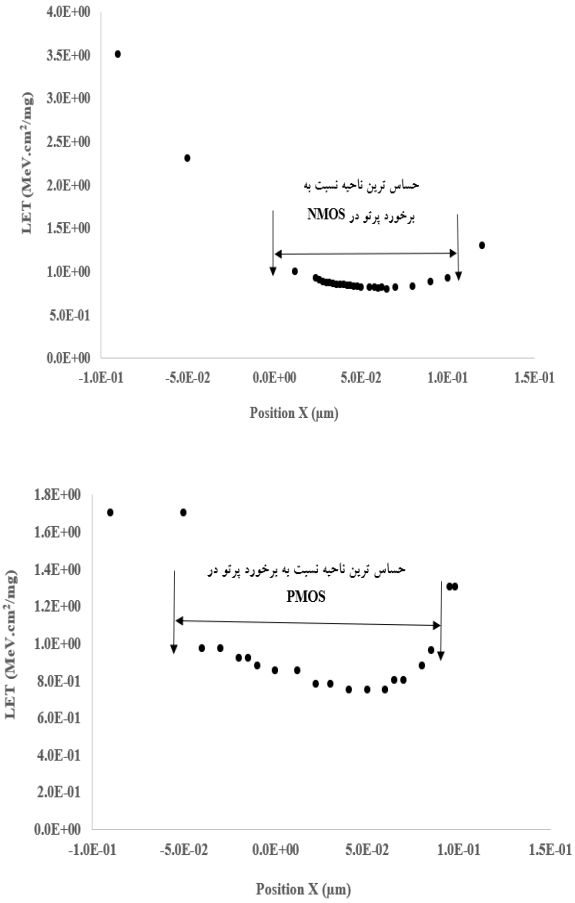


(b)



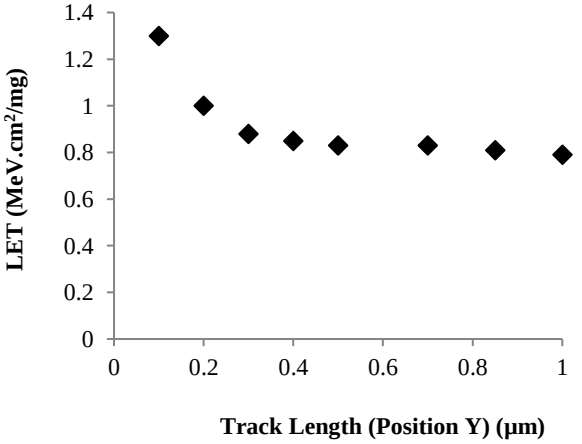
(c)

شکل ۹- چگونگی تغییر در خروجی‌های Q و $\overline{Q}$ در بایاس ثابت ۱/۱ V به ازای a) LET=1 MeV.cm2/mg ،b) LET=1.1 MeV.cm2/mg و c) LET=1.2 MeV.cm2/mg



شکل ۱۱- حساس‌ترین ناحیه به پرتو در PMOS.

نتایج به‌دست آمده در شکل‌های ۱۰ و ۱۱ بیانگر این است که در NMOS و PMOS نواحی وجود دارند که به‌ازای مقادیر کمتری از LET حالت منطقی خروجی معکوس‌کننده‌ها تغییر وضعیت می‌دهد. از این رو، این نواحی حساسیت بیشتری به پرتو نسبت به سایر نواحی دارند.



شکل ۱۲- حساسیت نسبت به‌طول مسیرهای مختلف ذرات.

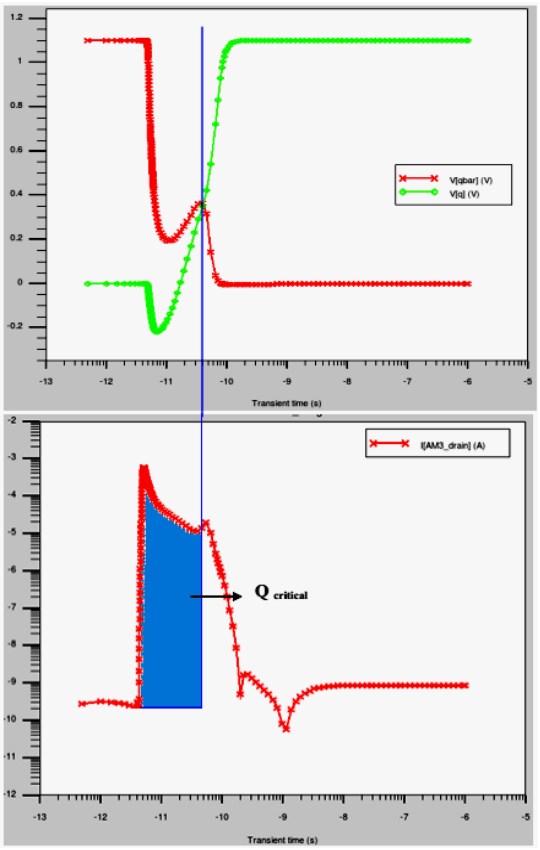
در شکل ۱۲، کمترین LET لازم جهت تغییر در وضعیت منطقی خروجی معکوس‌کننده‌ها به‌ازای طول مسیرهای مختلف پرتو فرودی نشان داده شده است. همان‌طور که مشاهده می‌شود، LET کمینه برای ایجاد یک به‌هم‌ریختگی با افزایش طول مسیر ذره درون سلول کاهش می‌یابد و کمترین مقدار آن نیز زمانی است که ذره کل مسیر داخل سلول را پیموده باشد. با این توضیح، طول مسیر µm ۱ برای پرتو فرودی، حساس‌ترین وضعیت را به‌دست می‌دهد که در مورد NMOS و PMOS یکی است. به‌بیان دیگر، حساس‌ترین وضعیت مربوط به زمانی است که ذره فرودی پس از ورود به قطعه نیمه‌هادی، عمق قطعه را پیموده و از آن خارج شده باشد. یعنی، برد ذره فرودی بیش از عمق قطعه نیمه‌هادی باشد.

حجم ناحیه حساس به پرتو در کل سلول، با جمع حساس‌ترین نواحی در ترانزیستورهای PMOS NMOS، معادل با $۰/۰۵۴\ \mu m^3$ به دست آمد. این حجم در SRAM با فناوری ۶۵ نانومتری CMOS در پژوهش Bing و همکارانش معادل با $۰/۰۵\ \mu m^3$ گزارش شد [۲۰] که اختلاف ٪۸ قابل قبولی را نشان می‌دهد. شایان ذکر است که در این مرجع، نویسندگان ناحیه حساس به پرتو را بدون انجام شبیه‌سازی‌های الکترونیک و صرفاً با مدلی که به کمک کالیبراسیون با داده‌های تجربی به‌دست آمد، توصیف کرده‌اند.

پس از تعیین ناحیه حساس به‌پرتو در گام بعد، به‌تعیین بار بحرانی حافظه SRAM با فناوری ۶۵ نانومتری CMOS پرداخته شد. با توجه‌به مرجع [۲۱]، ترانزیستورهای NMOS حساسیت بیشتری در مقایسه با ترانزیستورهای PMOS در برابر پرتو دارند. از طرف دیگر، حساس‌ترین وضعیت زمانی است که پرتو به‌یک ترانزیستور NMOS در حالت خاموش برخورد کند [۱۷]. با فرض برخورد پرتو به ترانزیستور M_3 از نوع NMOS در شکل ۱، این ترانزیستور به صورت سه‌بعدی مدل شد. به‌منظور ملاحظه بیشترین میزان حساسیت نسبت به پرتو، ترانزیستور M_3 در حالت خاموش یعنی با $V_{GS}=0\ V$ در نظر گرفته شد و پرتو فرودی با مقادیر متفاوتی از LET به درین ترانزیستور که ناحیه حساس‌تری در مقایسه با سایر نواحی است، برخورد کرد [۲۲] و هر بار تغییرات ولتاژ در دو نقطه **Q** و $\overline{\mathbf{Q}}$ مورد بررسی قرار گرفت. نتایج نهایی، در شکل ۱۳ نشان داده شده است. چنانچه اشاره شد، بار بحرانی، کمترین بار مورد نیاز برای تغییر حالت منطقی ولتاژ خروجی در نقاط **Q** و $\overline{\mathbf{Q}}$ است. بار بحرانی در لحظه‌ای که حالت منطقی ولتاژ خروجی شروع به تغییر می‌کند، با انتگرال‌گیری از جریان خروجی (جریان درین ترانزیستور ترانزیستور M_3) مطابق با رابطه (۱) به‌دست می‌آید.

$$Q_{critical} = \int_{t_0}^{t_{critical}} I_D(t)dt \qquad (۱)$$

مطابق با شکل ۱۳، بار بحرانی با محاسبه مساحت زیر منحنی که به‌صورت رنگی نشان داده شده، به‌دست آمده است.



شکل ۱۳– بار بحرانی با محاسبه مساحت زیر منحنی

با محاسبه مساحت ناحیه نشان داده شده در شکل ۱۳، بار بحرانی به‌ازای بایاس ۱/۱ V برابر با ۱/۴۸ fC به‌دست آمد. مقدار بار بحرانی در شرایط مشابه برای SRAM با فناوری ۶۵ نانومتری CMOS در مرجع [۲۰]، ۱/۳۵ fC گزارش شده است که انطباق قابل قبولی با این پژوهش دارد. شایان ذکر است، محاسبات مشابهی نیز برای تعیین بار بحرانی PMOS انجام گرفت. نتایج محاسبات، مقدار بار بحرانی PMOS در بایاس ۱/۱ V را ۳/۱۳ fC نشان دادند. این نتیجه، بیانگر حساس‌تر بودن ترانزیستورهای NMOS نسبت به PMOS در برابر پرتو است که در مرجع [۲۱] نیز بدان اشاره شده بود.

نتیجه‌گیری

در این پژوهش، به‌محاسبه حجم حساس و بار بحرانی در یک حافظه SRAM با فناوری ۶۵ نانومتری CMOS پرداخته شد. بدین‌منظور، در ابتدا یک سلول از حافظه با استفاده از شبیه‌سازهای Victory و Mixed-Mode نرم‌افزار Silvaco TCAD شبیه‌سازی شد و یک مدل سه بعدی برای ترانزیستورهای NMOS و PMOS سازنده آن منطبق با نقشه راه ITRS برای فناوری ۶۵ نانومتر ارائه گردید. برای تعیین حجم حساس، پرتو فرودی با مقادیر گوناگون انتقال خطی انرژی (LET)، به نواحی مختلف ترانزیستورهای مذکور تابانیده شد و تغییر ایجاد شده در ولتاژ خروجی معکوس‌کننده‌ها مورد بررسی قرار گرفت. در این محاسبات، کمینه مقدار LET که در هر نقطه منجر به‌تغییر در وضعیت منطقی خروجی‌ها می‌شود، به‌عنوان معیاری از حساسیت در نواحی مختلف در نظر گرفته شد. مطابق با محاسبات انجام شده، حجم حساس ۰/۰۵۴ μm^3 به‌دست آمد که با مرجع مورد بررسی که در آن حجم حساس ۰/۰۵ μm^3 گزارش شده، تطابق بسیار خوبی را نشان می‌دهد. برای تعیین بار بحرانی نیز به‌کمک شبیه‌سازهای یاد شده، ترانزیستوری که پرتو به آن برخورد کرده، به‌صورت سه‌بعدی مدل و سایر اجزا به‌صورت المان‌های مداری در نظر گرفته شدند. سپس، پرتو فرودی با مقادیر مختلف LET به درین ترانزیستور NMOS به عنوان حساس‌ترین ناحیه در برابر پرتو تابانده شد و هر بار ولتاژ در خروجی معکوس‌کننده‌ها مورد بررسی قرار گرفت. بار بحرانی با انتگرال‌گیری از جریان درین در لحظه تغییر وضعیت متطقی ولتاژ خروجی به‌ازای کمترین میزان LET حاصل می‌شود. نتایج محاسبات، مقدار بار بحرانی را ۱/۴۸ fC برای فناوری ۶۵ نانومتر نشان دادند که در توافق قابل قبولی با اندازه‌گیری‌های تجربی گزارش شده در مراجع که مقدار بار بحرانی را ۱/۳۵ fC گزارش کرده‌اند، قرار دارد.

تعارض منافع

"هیچگونه تعارض منافع توسط نویسندگان بیان نشده است."

مراجع

[1] G. Hubert, L. Artola, and D. Regis, “Impact of scaling on the soft error sensitivity of bulk, FDSOI and FinFET technologies due to atmospheric radiation,” *Integration*, vol. 50, pp. 39-47, 2015.

[2] P.E. Dodd, and L.W. Massengill, “Basic mechanisms and modeling of single-event upset in digital microelectronics.”, *IEEE Transactions on nuclear Science* Vol.50, No. 3 , pp 583-602, 2003.

[3] C. Slayman, “Soft error trends and mitigation techniques in memory devices,” *In 2011 Proceedings-Annual Reliability and Maintainability Symposium*., pp. 1-5, IEEE 2011.

[4] F. Wang, and D.V. Agrawal, “Single event upset: An embedded tutorial,” *In 21st International Conference on VLSI Design*, pp. 429-434. IEEE, 2008.

[5] D. F. Heidel, P. k. Rodbell, P. Oldiges, and et al. “Single-event-upset critical charge measurements and modeling of 65 nm silicon-on-insulator latches and memory cells,”*IEEE Trans on nuclear science* , Vol.53, No. 6, pp. 3512-3517, 2006.

[6] M. Zerarka, P. Austin, and M. Bafleur. “Comparative study of sensitive volume and triggering criteria of SEB in 600 V planar and trench IGBTs.” *Microelectronics Reliability*, Vol. 51, No. 9-11, pp 1990-1994, 2011.

[7]M. Zerarka , P. Austin, F. Morancho, and et al. "Analysis study of sensitive volume and triggering criteria of single-event burnout in super-junction metal-oxide semiconductor field-effect transistors." *IET Circuits, Devices & Systems* ,Vol. 8, No. 3 , pp 197-204, 2014.

[8]M. Zerarka , P. Austin , A. Bensoussan, and. Et al. "TCAD simulation of the single event effects in normally-OFF GaN transistors after heavy ion radiation." *IEEE Transactions on Nuclear Science* , Vol. 64, No. 8 , pp 2242-2249, 2017.

[9] R. Naseer , Y. Boulghassoul, J. Draper, and et al. "Critical charge characterization for soft error rate modeling in 90nm SRAM." *In 2007 IEEE International Symposium on Circuits and Systems*, pp. 1879-1882. IEEE, 2007.

[10] E. Farjallah, V. Gherman, J-M. Armani, and L. Dilillo. "Evaluation of the temperature influence on SEU vulnerability of DICE and 6T-SRAM cells." *In 2018 13th International Conference on Design & Technology of Integrated Systems In Nanoscale Era* (DTIS), pp. 1-5. IEEE, 2018.

[11] R. Rajaei, B. Asgari, M.Tabandeh, and M. Fazeli. "Design of robust SRAM cells against single-event multiple effects for nanometer technologies." *IEEE Transactions on Device and Materials Reliability* , Vol.15, No. 3 , pp.429-436 , 2015.

[12] Victory Device User's Manual, Silvaco, Inc. 4701 Patrick Henry Drive, Bldg. 2 Santa Clara, CA 95054, (408) 567-1000, http://www.silvaco.com, January 26, 2015.

[13] M. Sajid, N. G. Chechenin, F. S. Torres, and, et al., "Single Event Upset rate determination for 65 nm SRAM bit-cell in LEO radiation environments," *Microelectronics Reliability*, Vol. 78, pp. 11-16, 2017.

[14] P. KUMAR, M. Vashishath, P.K. bANSAL. "An Investigation into NMOS at 65 nm using Silvaco TCAD," *International Journal of Management, Technology and Engineering*, Vol. 8, 2018.

[15] B. Hoefflinger, "ITRS: The international technology roadmap for semiconductors." *In Chips 2020*: *a guide to the future of nanoelectronics* pp. 161-174. Springer, Berlin, Heidelberg, 2011.

[16] I. Kumar, A. Bharth, A. K. Jaiswal, A. Kumar. "Optimization of Threshold Voltage for 65nm PMOS Transistor Using Silvaco TCAD Tools." *IOSR Journal of Electrical and Electronics Engineering* , Vol. 6, No. 1, pp. 62-67, 2013.

[17] J. D. Black, D. R. Ball Ii, W. H. Robinson, and et al. "Characterizing SRAM single event upset in terms of single and multiple node charge collection." *IEEE Transactions on Nuclear Science* , Vol. 55, No. 6, pp 2943-2947, 2008.

[18] H. Dussault, J. W. Howard, R. C. Block, M. R. Pinto, and et al. "Numerical simulation of heavy ion charge generation and collection dynamics." *IEEE transactions on nuclear science* , Vol. 40, No. 6 , pp. 1926-1934, 1993.

[19] K. M. Warren, R. A. Weller, M. H. Mendenhall, and et al, "The contribution of nuclear reactions to heavy ion single event upset cross-section measurements in a high-density SEU hardened SRAM." *IEEE transactions on nuclear science* , Vol. 52, No. 6, pp. 2125-2131, 2005.

[20] B. Ye, J. Liu, T.S Wang, and et al "Impact of energy straggle on proton-induced single event upset test in a 65-nm SRAM cell." *Chinese Physics B* , Vol. 26, No. 8, p. 088501, 2017.

[21] M. Soleimaninia, G. Raisali, and A. Moslehi. "A detailed simulation study on the effect of energy and angle of incidence for low energy protons on Single Event Upsets induced in nanometer CMOS SRAM." *Journal of Instrumentation* , Vol. 16, No. 03: p. 03015, 2021.

[22] M. Manzar, S. Hafiz, S. Khan, and et al , "Intensity Threshold Study of 6T 7T and 10T SRAM by TCAD Simulation with Optical Beam." *In International Conference on Solid State Science and Technology. ICSSST*, Vol. 24, No 1, pp 210-219, 2016.